



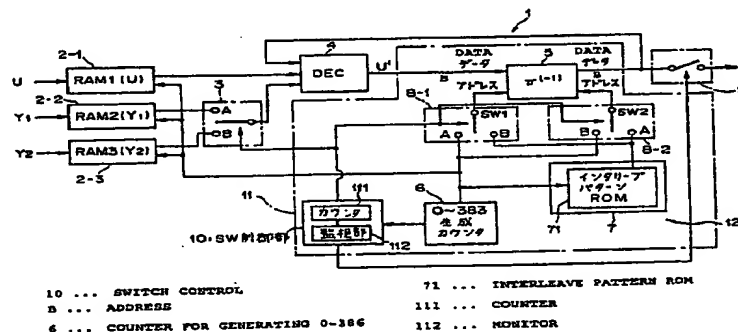
PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 H03M 13/22, 13/12	A1	(11) 国際公開番号 WO00/52834 (43) 国際公開日 2000年9月8日(08.09.00)
(21) 国際出願番号 PCT/JP99/00934 (22) 国際出願日 1999年2月26日(26.02.99) (71) 出願人 (米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 大淵一央(OHBUCHI, Kazuhisa)[JP/JP] 矢野哲也(YANO, Tetsuya)[JP/JP] 川端和生(KAWABATA, Kazuo)[JP/JP] 中村隆治(NAKAMURA, Takaharu)[JP/JP] 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa, (JP) (74) 代理人 弁理士 真田 有(SANADA, Tamotsu) 〒180-0004 東京都武蔵野市吉祥寺本町一丁目10番31号 吉祥寺広瀬ビル5階 Tokyo, (JP)		(81) 指定国 CN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54) Title: TURBO DECODER AND INTERLEAVE / DE-INTERLEAVE APPARATUS

(54) 発明の名称 ターボ復号装置及びインタリーブ・デインタリーブ装置



(57) Abstract

A device such as a turbo decoder that requires interleaving and de-interleaving comprises a memory section (5) and a memory control section (12) for changing the sequence in which data are written into or read from the memory section (5) depending on whether to perform interleaving or de-interleaving. The single memory section (5) functions as both an interleaver and a de-interleaver, resulting in a reduction in the cost and size of the device.

(57)要約

ターボ復号装置などのインタリーブとデインタリーブとを行なう必要がある装置において、メモリ部（５）と、データをインタリーブする場合とデインタリーブする場合とでこのメモリ部（５）に対するデータの書き込み順序及び読み出し順序を変えるメモリ制御部（１２）とをそなえることで、１つのメモリ部（５）でインタリーブ及びデインタリーブとしての機能を実現して、装置規模、コストを低減できるようにする。

PCTに基づいて公開される国際出願のパフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CY	キプロス	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CU	キューバ	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

ターボ復号装置及びインタリーブ・デインタリーブ装置

5 技術分野

本発明は、例えば、移動体通信システム等の通信システムに用いて好適な、ターボ復号装置及びインタリーブ・デインタリーブ装置に関する。

背景技術

- 10 従来より、移動体通信等の無線通信分野では、特定のデータ列部分に連続して発生するバースト誤りをデータ並べ替えにより訂正しやすい形の誤りにする目的でインタリーブ及びそれに応じたデインタリーブが使用される。即ち、送信側において送信信号をインタリーブでインタリーブして送信し、受信側においてその信号をデインタリーブでデインタリーブするといった具合である。

- 15 以下、従来のインタリーブ及びデインタリーブについて説明する。

- 図6 (A) は従来のインタリーブの構成を示すブロック図で、この図6 (A) に示すインタリーブ100は、インタリーブRAM101、書き込み用カウンタ102、読み出し用カウンタ103及び読み出しアドレス変換回路104をそなえて構成されている。ただし、この図6 (A) に示すインタリーブ100は、2
20 $4 \times 16 = 384$ 個の入力データ列 (D000, D001, D002, ..., D383) をインタリーブする (つまり、インタリーブ・サイズ = 24×16) ことを前提にしている。

- ここで、インタリーブRAM101 (以下、単に「RAM101」と表記する) は、インタリーブ対象の入力データ列 (D000, D001, D002, ..., D383) を記憶するものであり、書き込み用カウンタ102は、0 ~ 383を順にカウントしてその
25 カウント値をRAM101用の書き込みアドレス(A000, A001, A002, ..., A383) として出力するもので、この書き込みアドレス(A000 ~ A383) に従って入力データ列がRAM101のアドレスA000からアドレスA383まで順に書き込まれるようになっている。

また、読み出し用カウンタ103は、RAM101用の読み出しアドレスを生

成するために0～383をカウントするものであり、読み出しアドレス変換回路104は、この読み出し用カウンタ103からのカウント値 x ($=0\sim383$)に対して $x * 16 \pmod{383}$ なる演算を施すことにより、読み出し用カウンタ103からのカウント値 x が16おきとなるように変換するもので、これにより、RAM101の読み出しアドレスが、A000, A016, A032, ..., A368, A001, A017, A033, ..., $A_{n*16 \pmod{383}}$, ..., A351, A367, A383 といった具合に16おきに指定されるようになっている。

上述のごとく構成されたインタリープ100では、図6(B)に示すように、書き込み時には、書き込み用カウンタ102のカウント値がそのまま書き込みアドレスとなり、入力データ列(D000, D001, D002, ..., D383)が順番にRAM101の該当アドレス領域に書き込まれてゆく。一方、読み出し時には、読み出しアドレス変換回路104から16おきに出力される読み出しアドレスで指定されるアドレス領域からデータが順に読み出されてゆく。

この結果、入力データ列(D000, D001, D002, ..., D383)は、D000, D016, D032, ..., D368, D001, D017, ..., $D_{n*16 \pmod{383}}$, ..., D351, D367, D383 というようにデータ並べ替え(インタリープ)が行なわれて出力されることになる。

つまり、本インタリープ100は、イメージ的には、例えば図7に示すように、 $24 \times 16 = 384$ 個の入力データ列を矢印A方向に順番にRAM101に書き込んでゆき、読み出し時には矢印B方向に書き込まれた入力データ列を順番に読み出してゆくことで、インタリープを行なうようになっているのである(このようなインタリープをブロックインタリープという)。

一方、図8(A)は従来のデインタリープの構成を示すブロック図で、この図8(A)に示すデインタリープ200は、デインタリープRAM201、書き込み用カウンタ202、読み出し用カウンタ203及び読み出しアドレス変換回路204をそなえて構成されている。ただし、この図8(A)に示すデインタリープ200は、 $16 \times 24 = 384$ 個の入力データ列(D0, D1, D2, ..., D383)をデインタリープすることを前提にしている。

ここで、デインタリープRAM201(以下、単に「RAM201」と表記する)は、デインタリープ対象の入力データ列(D000, D001, D002, ..., D383)を記憶

するものであり、書き込み用カウンタ 202 は、0～383 を順にカウントしてそのカウント値を RAM 201 用の書き込みアドレス(A000, A001, A002, ..., A383)として出力するもので、この書き込みアドレス(A000～A383)に従って入力データ列が RAM 201 のアドレス A000 からアドレス A383 まで順に書き込まれるようになっている。

また、読み出し用カウンタ 203 は、RAM 201 用の読み出しアドレスを生成するために 0～383 をカウントするものであり、読み出しアドレス変換回路 204 は、この読み出し用カウンタ 203 からのカウント値 x ($= 0 \sim 383$) に対して $x * 24 \pmod{383}$ なる演算を施すことにより、読み出し用カウンタ 203 からのカウント値 x が 24 おきとなるように変換するもので、これにより、RAM 201 の読み出しアドレスが、A000, A024, A048, ..., A360, A001, A002, ..., $A_{n*24 \pmod{383}}$, ..., A335, A359, A383 といった具合に 24 おきに指定されるようになっている。

上述のごとく構成されたデインタリーブ 200 では、図 8 (B) に示すように、書き込み時には、書き込み用カウンタ 202 のカウント値がそのまま書き込みアドレスとなり、入力データ列 (D000, D001, D002, ..., D383) が順番に RAM 201 の該当アドレス領域に書き込まれてゆく。一方、読み出し時には、読み出しアドレス生成回路 204 から 24 おきに出力される読み出しアドレスで指定されるアドレス領域からデータが順に読み出されてゆく。

この結果、入力データ列 (D000, D001, D002, ..., D383) は、D000, D024, D048, ..., D360, D001, D025, ..., $D_{n*24 \pmod{383}}$, ..., D335, D359, D383 というようにデータ並べ替えが行なわれて出力されることになる。つまり、本デインタリーブ 200 は動作的には、 16×24 サイズのインタリーブを行なっていることになる。即ち例えば図 9 に示すように、 $16 \times 24 = 384$ 個の入力データ系列を矢印 A 方向に順番に RAM 201 に書き込んでゆき、読み出し時には矢印 B 方向に入力データ系列を RAM 201 から順番に読み出してゆくようになっているのである。

従って、本デインタリーブ 200 への入力データ列として、上記のインタリーブ 100 によって 24×16 インタリーブされた出力データ列 (D000, D016, D032, ..., D368, D001, D017, ..., $D_{n*16 \pmod{383}}$, ..., D351, D367, D383) を入力すると、図

8 (C) に示すように、まず、書き込み時には、上記の順序でその出力データ列が順番にRAM 202に書き込まれてゆき、読み出し時には、24アドレスおきにデータ列が読み出されてゆくので、結果的に、出力データ列は、インタリーブ前の元のデータ列となる（つまり、デインタリーブされる）。

5 ところで、近年、新しい誤り訂正方式として「ターボ符号化・復号方式」と呼ばれる方式が登場している。この「ターボ符号化・復号方式」を適用した通信システムでは、送信側（ターボ符号器）において、送信情報をインタリーブを介して複数の誤り訂正符号（再帰的組織畳み込み符号がよく用いられる）で符号化し、
10 受信側（ターボ復号器）において、受信情報に対して、インタリーブ、デインタリーブ及び複数の誤り訂正（軟出力）復号器を用いて、インタリーブ、軟出力復号及びデインタリーブを繰り返し施すことによって、通信路で送信情報に付加された誤りを極力小さくして元の送信情報を復元することが行なわれる。

 図10は上記の「ターボ符号化・復号方式」を適用した通信システムの要部の構成例を示すブロック図で、この図10に示す通信システムは、送信側にターボ符号器300をそなえ、所望の通信路（無線回線等）500を介した受信側にターボ復号器（ターボ復号装置）400をそなえている。そして、ターボ符号器300は、それぞれ排他的論理和素子（EX-OR）311～313及び遅延素子（フリップフロップ：FF）314、315を有する2組の再帰的組織畳み込み符号器（以下、単に「畳み込み符号器」という）301、302と、送信情報u
20 をインタリーブするインタリーブ（ π ）303とをそなえて構成されており、ターボ復号器400は、軟出力復号器（DEC）401、402、インタリーブ（ π ）403及びデインタリーブ（ π^{-1} ）404をそなえて構成されている。

 ここで、ターボ符号器300において、畳み込み符号器301は、送信情報uを畳み込み符号化して得られた符号化情報を誤り訂正符号 y_1 として受信側へ送出するものであり、インタリーブ303は、上記のインタリーブ100と同様の動作原理により、送信情報uをインタリーブするものであり、畳み込み符号器302は、このインタリーブ303でインタリーブされた送信情報 u' を畳み込み符号化して得られた符号化情報を誤り訂正符号 y_2 として受信側へ送出するものである。

つまり、ターボ符号器 3 0 0 は、送信情報（被復号情報） u 自身と、インタリーブ前の送信情報 u についての誤り訂正符号 y_1 と、インタリーブ後の送信情報 u についての誤り訂正符号 y_2 とをターボ符号として受信側へ送信するようになっているのである。

- 5 一方、ターボ復号器 4 0 0 において、DEC 4 0 1 は、受信ターボ符号〔ただし、送信情報 u ，誤り訂正符号 y_1 ， y_2 は、それぞれ、通信路 5 0 0 から雑音（誤り）を受けて受信情報 U ，誤り訂正符号 Y_1 ， Y_2 となっていると仮定する〕のうち、1 番始めは受信情報 U を誤り訂正符号 Y_1 を用いて軟出力復号して受信情報 U' を得、その後は、受信情報 U' をインタリーバ 4 0 3 によりインタ
10 リーブした信号を DEC 4 0 2 で誤り訂正符号 Y_2 を用いて軟出力復号し、その復号結果（受信情報 U'' ）をデインタリーバ 4 0 4 でデインタリーバして得られる信号について誤り訂正符号 Y_1 を用いて再度軟出力復号することを繰り返し行なうものである。なお、この軟出力復号には、例えば、MAP (Maximum A Poste
riori probability) 復号や SOVA (Soft-Output Viterbi Algorithm) 復号等が
15 用いられる。

- また、インタリーバ 4 0 3 も、上記のインタリーバ 1 0 0 と同様の動作原理により、この DEC 4 0 1 からの復号結果をインタリーブするものであり、このインタリーブにより、DEC 4 0 1 からの復号結果のデータ列が DEC 4 0 2 での軟出力復号に用いられる誤り訂正符号 Y_2 のデータ列と揃った状態で DEC 4 0
20 2 に入力されることになる。

- さらに、DEC 4 0 2 は、インタリーブ後の復号結果を誤り訂正符号 Y_2 を用いてさらに軟出力復号（例えば、MAP 復号や SOVA 復号等）するものであり、デインタリーバ 4 0 4 は、上記のデインタリーバ 2 0 0 と同様の動作原理により、この DEC 4 0 2 からの復号結果をデインタリーブして元のデータ列に戻すもの
25 で、このデインタリーブにより、DEC 4 0 2 からの復号結果のデータ列が誤り訂正符号 Y_1 のデータ列と揃った状態で DEC 4 0 1 に入力され、DEC 4 0 1 において、再度、誤り訂正符号 Y_1 を用いた軟出力復号が行なわれることになる。

つまり、ターボ復号器 4 0 0 では、次のような演算を繰り返せば繰り返すほど送信情報 u に付加された誤りが低減され、元の送信情報 u をできる限り忠実に復

元することができるようになっているのである。

1. U と Y_1 とで軟出力復号 $\rightarrow U'$
2. U' と Y_2 とで軟出力復号 $\rightarrow U''$ (ターボ繰返し1回の出力)
3. U'' と Y_1 とで軟出力復号 $\rightarrow U'^3$
- 5 4. U'^3 と Y_2 とで軟出力復号 $\rightarrow U'^4$ (ターボ繰返し2回の出力)
5. U'^4 と Y_1 とで軟出力復号 $\rightarrow U'^5$
6. U'^5 と Y_2 とで軟出力復号 $\rightarrow U'^6$ (ターボ繰返し3回の出力)

(以下、同様)

ただし、繰返し回数は、飽和回数(例えば、16回程度)以下に設定される。

- 10 このように、ターボ復号器400では、DEC401、402とインタリーブ403とデインタリーブ404とを用いて、軟出力復号、インタリーブ及びデインタリーブを繰返し行なうことによって、ターボ符号の復号を行なうようになっている。なお、「ターボ符号化・復号方式」の詳細については、例えば、米国特許No. 5,446,747等に記載されている。

- 15 ところが、上記のターボ復号器400では、インタリーブとデインタリーブとをそれぞれ個別のインタリーブ403とデインタリーブ404とで行なっているため、その回路規模が非常に大きくなってしまっているという課題がある。

- 特に、実際の通信では、復号結果であるデータ列(インタリーブもしくはデインタリーブ対象のデータ列)の1単位(例えば、前記のD000~D383のそれぞれに相当する)が十数ビット分になることがあり、このような場合には、インタリーブ(デインタリーブ)・サイズ(つまり、メモリサイズ)が数千ビット分にもなるので、上記のような課題が顕著になる。
- 20

- また、ターボ復号器400に限らず、例えば、インタリーブとそれに応じたデインタリーブとを用いて通信を行なう送受信機などでも、現状では、インタリーブ100とデインタリーブ200とを個別にそなえるしかなく、同様に、装置規模が非常に大きくなってしまふ。
- 25

本発明は、このような課題に鑑み創案されたもので、1つのメモリ部でインタリーブ及びデインタリーブとしての機能を実現して、装置規模を大幅に削減できるようにした、ターボ復号装置およびインタリーブ・デインタリーブ装置を提供

することを目的とする。

発明の開示

上記の目的を達成するために、本発明のターボ復号装置は、少なくとも、被復
5 号情報と、送信側でのインタリーブ前のその被復号情報についての誤り訂正符号
と、上記の送信側でのインタリーブ後の上記被復号情報についての誤り訂正符号
とを有するターボ符号を、誤り訂正復号とインタリーブとデインタリーブとを繰
り返し施して復号するためのものであって、上記の各誤り訂正符号のいずれか一
方と過去の誤り訂正復号結果とに基づいて被復号情報を誤り訂正復号しうる誤り
10 訂正復号部と、この誤り訂正復号部からの誤り訂正復号結果をインタリーブもし
くはデインタリーブして過去の誤り訂正復号結果として誤り訂正復号部へ出力す
るためのメモリ部と、上記の誤り訂正復号部で用いられる誤り訂正符号に応じて
誤り訂正復号結果をインタリーブもしくはデインタリーブすべく上記メモリ部に
対する誤り訂正復号結果の書き込み順及び読み出し順を制御するメモリ制御部と
15 をそなえて構成されたことを特徴としている。

従って、本発明のターボ復号装置では、誤り訂正復号部で用いられる誤り訂正
符号に応じてメモリ部に対する誤り訂正復号結果の書き込み順及び読み出し順を
制御することで、誤り訂正復号結果をインタリーブもしくはデインタリーブする
ことができるので、インタリーブ及びデインタリーブを個別にそなえる必要がな
20 く、これにより、ターボ復号装置の小型化、低コスト化に大いに寄与する。

ここで、上記のメモリ制御部は、次の各部をそなえていてもよい。

(1) 上記メモリ部用のアドレスを所定の順序で生成する第1のアドレス生成
部

(2) この第1のアドレス生成部のアドレス生成順序とは異なる順序でメモリ
25 部用のアドレスを生成する第2のアドレス生成部

(3) これらの各アドレス生成部の各出力のうちのいずれか一方をメモリ部用
の書き込みアドレス、他方をメモリ部用の読み出しアドレスとして選択出力しう
るアドレス選択部

(4) 上記の誤り訂正復号部で用いられる誤り訂正符号が上記の送信側でのイ

インタリーブ前の被復号情報についてのものかインタリーブ後の被復号情報についてのものかを判別するインタリーブ判別部

(5) このインタリーブ判別部において、上記の誤り訂正符号がインタリーブ前の被復号情報についてのものであると判別されると、一方のアドレス生成部の出力が書き込みアドレス、他方のアドレス生成部の出力が読み出しアドレスとしてそれぞれ選択され、上記の誤り訂正符号がインタリーブ後の被復号情報についてのものであると判別されると、上記他方のアドレス生成部の出力が書き込みアドレス、上記一方のアドレス生成部の出力が読み出しアドレスとしてそれぞれ選択されるようアドレス選択部を制御するアドレス選択制御部

これにより、本発明のターボ復号装置では、上記の第1のアドレス生成部及び第2のアドレス生成部の各出力を選択制御するだけで、メモリ部に対する誤り訂正復号結果の書き込み順及び読み出し順をインタリーブ及びデインタリーブに応じた順序に制御することができるので、極めて簡素な構成で、本ターボ復号装置を実現することができる。

なお、上記第2のアドレス生成部に、上記第1のアドレス生成部で生成されたアドレスをランダムに並び替えて出力するためのランダムパターン情報を保持するランダムパターン保持部をそなえれば、ランダムパターン情報をインタリーブ用及びデインタリーブ用に2種類用意する必要が無い（上記第1のアドレス生成部をインタリーブ時とデインタリーブ時とで共用できる）ので、ランダムパターン情報を予め演算により求める場合の作業負担が大幅に軽減されるとともに、ターボ復号装置のさらなる小型化、低コスト化に大いに寄与する。

次に、本発明のインタリーブ・デインタリーブ装置は、所望のデータをインタリーブもしくはデインタリーブするためにデータを記憶するメモリ部と、このメモリ部用のアドレスを所定の順序で生成する第1のアドレス生成部と、この第1のアドレス生成部のアドレス生成順序とは異なる順序でメモリ部用のアドレスを生成する第2のアドレス生成部と、上記の各アドレス生成部の各出力のうちのいずれか一方をメモリ部用の書き込みアドレス、他方をメモリ部用の読み出しアドレスとして選択出力しうるアドレス選択部と、上記のデータをインタリーブする場合とデインタリーブする場合とで異なるアドレス生成部の出力が書き込みアド

レス及び読み出しアドレスとして選択されるようアドレス選択部を制御するアドレス選択制御部とをそなえて構成されたことを特徴としている。

従って、本発明のインタリーブ・デインタリーブ装置によれば、上記のデータをインタリーブする場合とデインタリーブする場合とで異なるアドレス生成部の出力（生成順の異なる２種のアドレス）が書き込みアドレス及び読み出しアドレスとして選択されるので、１つのメモリ部でインタリーブとしての機能とデインタリーブとしての機能を実現することができる。この結果、データをインタリーブ、デインタリーブするのにインタリーブ及びデインタリーブを個別にそなえる必要がなく、装置規模、コストの削減に大いに寄与する。

10 ここで、上記のアドレス選択制御部は、上記のデータをインタリーブする場合には、上記第１のアドレス生成部の出力が書き込みアドレス、上記第２のアドレス生成部の出力が読み出しアドレスとしてそれぞれ選択され、上記のデータをデインタリーブする場合には、上記第２のアドレス生成部の出力が書き込みアドレス、上記第１のアドレス生成部の出力が読み出しアドレスとしてそれぞれ選択されるよう上記のアドレス選択部を制御するように構成されていてもよい。

15 また、上記のアドレス選択制御部は、逆に、上記のデータをインタリーブする場合には、上記第２のアドレス生成部の出力が書き込みアドレス、上記第１のアドレス生成部の出力が読み出しアドレスとしてそれぞれ選択され、上記のデータをデインタリーブする場合には、上記第１のアドレス生成部の出力が書き込みアドレス、上記第２のアドレス生成部の出力が読み出しアドレスとしてそれぞれ選択されるようアドレス選択部を制御するように構成されていてもよい。

いずれの場合も、上記の各アドレス生成部の出力の選択を切り替えるだけで、インタリーブとしての機能とデインタリーブとしての機能とが切り替えられるので、極めて簡素な構成で、本装置を実現することができる。

25 なお、本インタリーブ・デインタリーブ装置についても、上記第２のアドレス生成部に、上記第１のアドレス生成部で生成されたアドレスをランダムに並び替えて出力するためのランダムパターン情報を保持するランダムパターン保持部をそなえれば、この場合も、ランダムパターン情報をインタリーブ用及びデインタリーブ用に２種類用意する必要が無い（上記第１のアドレス生成部をインタリー

ブ時とデインタリーブ時とで共用できる) ので、ランダムパターン情報を予め演算により求める場合の作業負担が大幅に軽減されるとともに、本装置の小型化、低コスト化に大いに寄与する。

5 図面の簡単な説明

図1は本発明の一実施形態としてのターボ復号器(ターボ復号装置)の構成を示すブロック図である。

図2(A)～図2(H)はいずれも本実施形態のターボ復号器の動作を説明するためのタイムチャートである。

10 図3は本実施形態のターボ復号器に適用されたインタリーブ・デインタリーブ装置に着目した構成を示すブロック図である。

図4(A)は本実施形態にかかるデインタリーブの構成を示すブロック図である。

15 図4(B)及び図4(C)はいずれも図4(A)に示すデインタリーブの動作を説明するためのアドレス出力及び入出力データ例を示す図である。

図5は本実施形態のインタリーブ・デインタリーブ装置の他の構成を示すブロック図である。

図6(A)は従来のインタリーブの構成を示すブロック図である。

20 図6(B)は図6(A)に示すインタリーブの動作を説明するためのアドレス出力及びデータ入出力例を示す図である。

図7は図6(A)に示すインタリーブの動作イメージを説明するための図である。

図8(A)は従来のデインタリーブの構成を示すブロック図である。

25 図8(B)及び図8(C)はいずれも図8(A)に示すデインタリーブの動作を説明するためのアドレス出力及び入出力データ例を示す図である。

図9は図8(A)に示すデインタリーブの動作イメージを説明するための図である。

図10は従来の「ターボ符号化・復号方式」を適用した通信システムの要部の構成例を示すブロック図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を説明する。

図1は本発明の一実施形態としてのターボ復号器（ターボ復号装置）の構成を示すブロック図で、この図1に示すターボ復号器1も、図10により前述したターボ復号器400と同様に、ターボ符号器300で符号化されたターボ符号を復号するもので、本実施形態では、RAM2-1～2-3、RAM切り替えスイッチ3、軟出力復号器（DEC）4、インタリーブ・デインタリーブRAM（ π - π ）5、アドレス生成カウンタ6、アドレス生成部7、書き込みアドレス切り替えスイッチ（SW1）8-1、読み出しアドレス切り替えスイッチ（SW2）8-2、出力切り替えスイッチ9及びスイッチ制御部10をそなえて構成されている。

なお、本実施形態では、「ターボ符号化・復号方式」をCDMA（Code Division Multiple Access）を利用した移動体通信システムに適用し、例えば、ターボ符号器300は、送信側において1次変調（例えば、QPSK等）及びスペクトラム拡散変調前の送信情報uを入力とする位置に設けられ、ターボ復号器1は、受信側においてスペクトラム拡散復調後の受信情報Uを入力とする位置に設けられることを想定する。

ここで、上記のRAM2-1～2-3は、ターボ符号器300から送信されて通信路500（図10参照）で誤りを受けたターボ符号〔受信情報（被復号情報）U、誤り訂正符号 Y_1 、 Y_2 〕を記憶するためのものであり、本実施形態では、アドレス生成カウンタ6のカウンタ値に従って、これらの受信情報U、誤り訂正符号 Y_1 、 Y_2 の書き込み及び読み出しが制御されるようになっている。

ただし、本実施形態では、説明の便宜上、図6（A）、図6（B）、図7、図8（A）～図8（C）及び図9により前述したのと同様に、受信情報U、誤り訂正符号 Y_1 、 Y_2 及びDEC4での軟出力復号結果の各データ列をそれぞれ $16 \times 24 = 384$ （D0～D383）個と仮定する。このため、アドレス生成カウンタ6のカウンタ値は0～383であり、後述するようにターボ復号もこのデータ列単位（周期）で行なわれることになる。

また、本実施形態でも、上記の誤り訂正符号 Y_1 は、ターボ符号器300において送信情報 u をインタリーブ303でインタリーブする前に畳み込み符号化して得られたもの（即ち、ターボ符号器300でのインタリーブ前の送信情報 u についての誤り訂正符号）であり、誤り訂正符号 Y_2 は、ターボ符号器300において送信情報 u をインタリーブ303でインタリーブした後に畳み込み符号化して得られたもの（即ち、ターボ符号器300でのインタリーブ後の送信情報 u についての誤り訂正符号）である。

次に、RAM切り替えスイッチ3は、これらの各RAM2-1～2-3のうちRAM2-2の出力（即ち、誤り訂正符号 Y_1 ）とRAM2-3の出力（即ち、誤り訂正符号 Y_2 ）とを切り替えるためのもので、本実施形態では、スイッチ制御部10によりA側とB側とに交互に切り替えられるようになっている。

さらに、DEC（誤り訂正復号部）4は、図10により前述したDEC401やDEC402と同様のもので、ここでは、RAM切り替えスイッチ3の切り替えにより入力される、各誤り訂正符号 Y_1 、 Y_2 のいずれか一方と過去の軟出力復号結果（誤り訂正復号結果） U' （ただし、1番最初は除く）とに基づいて受信情報 U を軟出力復号（誤り訂正復号：例えば、MAP復号）しうようになっている。つまり、本実施形態のターボ復号器1は、RAM切り替えスイッチ3をそなえることで、従来のターボ復号器400のDEC401、402の共通化を可能にしているのである。

また、インタリーブ・デインタリーブRAM（メモリ部）5は、DEC4からの軟出力復号結果（以下、単に「復号結果」という）をインタリーブもしくはデインタリーブするために記憶するもので、インタリーブもしくはデインタリーブ後の復号結果は上記過去の復号結果 U' としてDEC4へ帰還出力されるようになっている。

さらに、アドレス生成カウンタ（第1のアドレス生成部）6は、0～383のカウンタ値を順にカウントすることにより、そのカウンタ値をインタリーブ・デインタリーブRAM5（以下、単に「RAM5」と表記する）用のアドレス（A00～A383）として生成するものであり、アドレス変換部（第2のアドレス生成部）7は、このアドレス生成カウンタ6のアドレス生成順序とは異なる順序でR

AM5用のアドレスを生成するもので、ここでは、例えば、アドレス生成カウンタ6でのアドレス生成順(A000~A383)を16おきに変換した(並び替えた)もの(A000, A016, A032, ..., $An*16 \pmod{383}$, ..., A351, A367, A383)をRAM5用のアドレスとして出力するようになっている。

- 5 このために、アドレス変換部7は、アドレス生成順変換用のインタリーブパターン情報〔具体的には、例えば、アドレス生成カウンタ6のカウンタ値をxとしたときに、 $x*16 \pmod{383}$ なる演算を実現するような情報：ランダムパターン情報(つまりはアドレス変換テーブル)〕を保持したインタリーブパターンROM(アドレス生成パターン保持部)71(以下、単に「ROM71」と表記する)をそなえて構成されている。
- 10

さらに、書き込みアドレス切り替えスイッチ8-1は、アドレス生成カウンタ6の出力(アドレス)とアドレス変換部7の出力(アドレス)とを切り替えることにより、各アドレスのいずれか一方をRAM5用の書き込みアドレスとして選択するもので、ここでは、図1中に示すように、このスイッチ8-1がA側に切り替えられるとアドレス生成カウンタ6の出力が書き込みアドレスとして選択され、B側に切り替えられるとアドレス変換部7の出力が書き込みアドレスとして選択されるようになっている。

15

一方、読み出しアドレス切り替えスイッチ8-2は、アドレス生成カウンタ6の出力(アドレス)とアドレス変換部7の出力(アドレス)とを切り替えることにより、各アドレスのいずれか一方をRAM5用の読み出しアドレスとして選択するもので、図1中に示すように、このスイッチ8-2がA側に切り替えられるとアドレス変換部7の出力が読み出しアドレスとして選択され、B側に切り替えられるとアドレス生成カウンタ6の出力が読み出しアドレスとして選択されるようになっている。

20

25 ただし、これらの各スイッチ8-1、8-2は、本実施形態では、スイッチ制御部10により、A側及びB側のいずれかに同時に切り替えられるようになっている(スイッチ8-1がA側でスイッチ8-2がB側、もしくはその逆に切り替えられることはない)。つまり、各スイッチ8-1、8-2は、上記のアドレス生成カウンタ6及びアドレス変換部7の各出力のうちのいずれか一方をRAM5

用の書き込みアドレス、他方をRAM5用の読み出しアドレスとして選択出力し
うるアドレス選択部として機能するのである。

さらに、出力切り替えスイッチ9は、ターボ復号完了後に復号結果を出力する
際にON状態となるもので、例えば、DEC4での繰り返し復号による飽和回数
5 に達すると、スイッチ制御部10によりON状態に制御されるようになっている。

なお、上記の飽和回数は、本実施形態では、DEC4での復号が2回繰り返し
で図10に示すDEC401及びDEC402での復号1回分に相当するので、
例えば、DEC4にMAP復号を適用すれば16（図10に示す構成での飽和回
数） $\times 2 = 32$ 回程度となる。

10 そして、スイッチ制御部10は、上記の各スイッチ3、8-1、8-2及び9
の切り替えを統括的に制御するもので、本実施形態の要部である各スイッチ3、
8-1、8-2に対しては、次のようなスイッチ制御を行なうようになっている。

（1）スイッチ3をA側に切り替えるとき（即ち、DEC4での復号に誤り訂
正符号Y₁を用いるとき）、スイッチ8-1、8-2もそれぞれA側に切り替え
15 る。すると、RAM5、アドレス生成カウンタ6及びアドレス変換部7の接続構
成が、図6（A）に示すインタリーブ100と同様になる。この結果、DEC4
からの復号結果（D000～D383）は、アドレス生成カウンタ6からの順列アドレス
（A000～A383）に従ってRAM5に書き込まれた後、アドレス変換部7からの1
6おきのアドレスに従って読み出されて、インタリーブされる。

20 （2）スイッチ3をB側に切り替えるとき（即ち、DEC4での復号に誤り訂
正符号Y₂を用いるとき）、スイッチ8-1、8-2もそれぞれB側に切り替え
る。すると、RAM5、アドレス生成カウンタ6及びアドレス変換部7の接続構
成は、図4（A）に示すようになる。これにより、DEC4からの復号結果は、
アドレス変換部7からの16おきのアドレスに従って書き込まれた後、アドレス
25 生成カウンタ6からの順列アドレス（A000～A383）に従って順に読み出されるこ
とになる。

従って、入力データ列がD000～D383の順であれば、そのデータ列は、図4（
B）に示すような順序で書き込み及び読み出しが行なわれることになるが、図4
（A）に示す構成において、入力データ列を上記のインタリーブ後のデータ列と

すると、図4 (C) に示すような順序で書き込み及び読み出しが行なわれることになり、RAM 5 の出力データ列は上記インタリーブ前の状態に戻る (即ち、デインタリーブされる)。

つまり、本実施形態のターボ復号器 1 は、スイッチ制御部 10 によってスイッチ 8-1, 8-2 の切り替えを制御することで、RAM 5, アドレス生成カウンタ 6 及びアドレス変換部 7 からなる部分をインタリーブとしてもデインタリーブとしても使用できるようになっている (即ち、例えば図 3 に示すようなインタリーブ・デインタリーブ装置 11 をそなえている) のである。

そして、スイッチ制御部 10 は、上記のようなスイッチ制御を行なうために、例えば、スイッチ制御用カウンタ 111 とカウント値監視部 112 とをそなえて構成されている。

ここで、スイッチ制御用カウンタ 111 は、アドレス生成カウンタ 6 のカウント値に基づいてスイッチ制御用のカウント値をカウントするもので、本実施形態では、DEC 4 による復号処理遅延を考慮して、例えば、アドレス生成カウンタ 6 のカウント周期 (0~383) を 1 周期として 3 周期毎に 0 から 1 ずつカウントアップを行なうようになっている。

また、カウント値監視部 112 は、このカウンタ 111 のカウント値を監視するもので、ここでは、例えば、そのカウント値の偶数/奇数を判別し、偶数 (ただし、0 も含む) のときにはスイッチ 3, 8-1, 8-2 がそれぞれ A 側に切り替えられ、奇数のときにはスイッチ 3, 8-1, 8-2 がそれぞれ B 側に切り替えられるようになっている。

なお、このカウント値監視部 112 は、カウンタ 111 のカウント値が例えば 31 になる (つまり、DEC 4 の繰り返し復号回数が飽和回数である 32 回に達する) とターボ復号が完了したものと判別して、出力切り替えスイッチ 9 を ON 状態に切り替えるようになっている。

以下、上述のごとく構成された本実施形態のターボ復号器 1 の動作について、図 2 (A) ~ 図 2 (H) に示すタイムチャートを参照しながら詳述する。

まず、スイッチ制御部 10 は、1 回目の復号では、受信情報 U を誤り訂正符号 Y₁ を用いて軟出力復号すべく、RAM 切り替えスイッチ 3 を A 側に切り替える

(スイッチ9はOFF状態)。これにより、アドレス生成カウンタ6のカウンタ値〔図2(A)参照〕に従ってRAM2-1, 2-2からそれぞれ受信情報U, 誤り訂正符号Y₁が順に読み出されて〔図2(A)及び図2(B)の時点T0〜T1参照〕、DEC4に入力される。

- 5 DEC4では、入力された誤り訂正符号Y₁に基づいて受信情報Uを軟出力復号する(時点T1〜T2)。一方、このとき、スイッチ制御部10では、カウンタ値監視部112がカウンタ111のカウンタ値が0(偶数)であることを認識するので、スイッチ8-1, 8-2はそれぞれA側に切り替えられている〔図2(H)参照〕。

- 10 これにより、DEC4の復号結果は、アドレス生成カウンタ6からの順列アドレスに従ってRAM5に書き込まれた〔図2(F)の時点T2〜T3参照〕後、アドレス変換部7からの16おきのアドレスに従って読み出されて〔図2(G)の時点T3〜T4参照〕、インタリーブされる。

- ここまでの処理で、カウンタ111のカウンタ値が1(奇数)になる〔図2(A)の時点T3参照〕ので、スイッチ制御部10が、スイッチ3, 8-1, 8-2を今度はそれぞれB側に切り替える。

- すると、DEC4に、インタリーブ後の復号結果(過去の復号結果U'), 受信情報U, 誤り訂正符号Y₂が入力され、DEC4は、これらの入力情報に基づいて2回目の軟出力復号を行なう(時点T4〜T5)。なお、このとき、受信情報Uを再度入力するのは、過去の復号結果U'と受信情報Uとの差分をとり、以降の復号はその差分と誤り訂正符号Y₁, Y₂とに基づいて行なうためである。従って、例えば、DEC4に、この受信情報Uを保持しておくメモリがそなえられていれば、毎回、受信情報UをDEC4に入力する必要はない。

- 25 次に、DEC4の復号結果は、RAM5に入力されるが、このとき、スイッチ8-1, 8-2がそれぞれB側に切り替えられている〔図2(H)の時点T5参照〕ので、アドレス変換部7からの16おきのアドレスに従ってRAM5に書き込まれた〔図2(F)の時点T5〜T6参照〕後、アドレス生成カウンタ6からの順列アドレスに従って順に読み出されて〔図2(G)の時点T6〜T7参照〕、デインタリーブされる。

以降、同様にして、スイッチ 3, 8-1, 8-2 が交互に切り替えられて、3 回目, 4 回目, ... の復号が繰り返し行なわれてゆき、例えば、カウンタ 11 1 のカウント値が 31 になった時点（つまり、32 回目の復号が終了した時点）でスイッチ 9 が ON 状態に制御され、復号結果が出力される。

5 つまり、上記のアドレス生成カウンタ 6, アドレス変換部 7, スイッチ 8-1, 8-2 及びスイッチ制御部 10 は、DEC 4 で用いた誤り訂正符号 Y_1 , Y_2 に応じて復号結果をインタリーブもしくはデインタリーブすべく RAM 5 に対する復号結果の書き込み順及び読み出し順を制御するメモリ制御部 12 としての機能を果たしているのである。

10 このために、カウント値監視部 112 は、DEC 4 で用いられた誤り訂正符号がターボ符号器 300 でのインタリーブ前の送信情報 u についてのもの (Y_1) かインタリーブ後の送信情報 u についてのもの (Y_2) かを判別するインタリーブ判別部として機能している。

15 そして、スイッチ制御部 10 は、このカウント値監視部 112 において、DEC 4 で用いられる誤り訂正符号が Y_1 であると判別されると、アドレス生成カウンタ 6 の出力が書き込みアドレス、アドレス変換部 7 の出力が読み出しアドレスとしてそれぞれ選択され、DEC 4 で用いられる誤り訂正符号が Y_2 であると判別されると、アドレス変換部 7 の出力が書き込みアドレス、アドレス生成カウンタ 6 の出力が読み出しアドレスとしてそれぞれ選択されるようスイッチ 8-1, 20 8-2 を制御するアドレス選択制御部として機能している。

25 つまり、このスイッチ制御部 10 は、インタリーブ・デインタリーブ装置 11 (図 3 参照) において、データ (復号結果) をインタリーブする場合とデインタリーブする場合とで異なるアドレス生成部 6, 7 の出力が書き込みアドレス及び読み出しアドレスとして選択されるようスイッチ 8-1, 8-2 を制御するのである。

以上のように本実施形態のターボ復号器 1 によれば、上述のごとくスイッチ制御部 10 が DEC 4 で用いられる誤り訂正符号 Y_1 , Y_2 に応じてスイッチ 8-1, 8-2 の切り替えを制御して、RAM 5 に対する DEC 4 の復号結果の書き込み順及び読み出し順を制御することで、その復号結果をインタリーブもしくはデ

インタリーブすることができるので、従来のようにインタリーブ及びデインタリーブを個別にそなえる必要がない。

- 従って、従来のおよそ半分の回路規模でターボ復号器 1 を実現でき、ターボ復号器 1 の大幅な小型化、低コスト化が実現されている。特に、本実施形態では、
- 5 RAM切り替えスイッチ 3 をそなえることで、1つのDEC 4で、従来のターボ復号器 400 と同等の動作を実現できているので、その規模、コストがさらに削減されている。

- また、本実施形態では、上述のごとくスイッチ制御部 10 が復号結果（データ）をインタリーブする場合とデインタリーブする場合とで異なるアドレス生成部 6, 7 の出力（アドレス）がRAM 5 の書き込みアドレス及び読み出しアドレスとして選択されるようスイッチ 8-1, 8-2 の切り替えを制御するという極めて簡素な構成で、1つのRAM 5 によるインタリーブ及びデインタリーブが実現されているので、制御の簡素化、ターボ復号器 1 のさらなる小型化に大いに寄与している。

- 15 さらに、本実施形態では、アドレス生成カウンタ 6 の出力（アドレス）をランダム（上述した例では16おき）に並び替えるためのランダムパターン情報を保持したROM 7 1 をそなえることで、ランダムパターン情報をインタリーブ用及びデインタリーブ用に2種類用意する必要が無い（アドレス生成カウンタ 6 をインタリーブ時とデインタリーブ時とで共用できる）。

- 20 従って、ランダムパターン情報を予め演算により求める場合の作業負担が大幅に軽減されるとともに、本ターボ復号器 1 のさらなる小型化、低コスト化に大いに寄与している。

- 特に、実際に「ターボ符号化・復号方式」で用いられるインタリーブ（デインタリーブ）は「ランダムインタリーブ（デインタリーブ）」と呼ばれる複雑なインタリーブ（デインタリーブ）である（上記のように16おきといった単純な規則ではない）ため、このようにランダムパターン情報を1種類用意するだけでよいことは、非常に有効である。

なお、上述した実施形態では、DEC 4 で用いる各誤り訂正符号 Y_1 , Y_2 を誤り訂正符号 Y_1 から交互に切り替える（スイッチ 3 をA側から交互に切り替え

る) になっているが、逆に、誤り訂正符号 Y_2 から交互に切り替える(スイッチ3をB側から交互に切り替える)ようにしても、上記と同様の作用効果が得られることはいうまでもない。

ただし、この場合、スイッチ制御部10は、上述した実施形態とは逆に、DEC4の復号結果のインタリーブ/デインタリーブをデインタリーブから始めて交互に切り替える必要があるので、スイッチ8-1, 8-2をそれぞれB側から交互に切り替えることになる。

また、上述した実施形態では、インタリーブ・デインタリーブ装置11において、データ(復号結果)読み出し時(スイッチ8-1, 8-2をA側に切り替えた時)にアドレス変換部7のランダムパターン情報を用いたデータの並び替え(インタリーブ)が行なわれ、データ書き込み時(スイッチ8-1, 8-2をB側に切り替えた時)に同じランダムパターン情報を用いたデータの並び替え(デインタリーブ)が行なわれているが、逆にすることも可能である。

即ち、例えば図5に示すように、上記の $x * 16 \pmod{383}$ に代えて $x * 24 \pmod{383}$ なる演算を実現するようなランダムパターン情報をROM71に保持させておけば、スイッチ8-1, 8-2をそれぞれB側に切り替えたときに、アドレス変換部7で24おきに生成されるアドレスに従ってデータが書き込まれ、アドレス生成カウンタ6で順列に生成されるアドレスに従ってデータが読み出されるので、図5に示すインタリーブ・デインタリーブ装置11'は書き込み時にデータの並び替えを行なうインタリーブバとして動作する。

逆に、スイッチ8-1, 8-2をそれぞれA側に切り替えれば、アドレス生成カウンタ6で順列に生成されるアドレスに従ってデータが書き込まれ、アドレス生成カウンタ7で24おきに生成されるアドレスに従ってデータが読み出されるので、インタリーブ・デインタリーブ装置11'は読み出し時にデータの並び替えを行なうデインタリーブバとして動作する。

従って、ROM71に $x * 24 \pmod{383}$ のランダムパターン情報を保持させた場合(図5に示すインタリーブ・デインタリーブ装置11'をターボ復号器1に適用した場合)、スイッチ制御部10は、データ(復号結果)をインタリーブする場合(スイッチ3をA側に切り替えるとき)はアドレス変換部7の出

力が書き込みアドレス、アドレス生成カウンタ 6 の出力が読み出しアドレスとしてそれぞれ選択されるようスイッチ 8-1, 8-2 をそれぞれ B 側に切り替え、データをデインタリーブする場合（スイッチ 3 を B 側に切り替えるとき）は、アドレス生成カウンタ 6 の出力が書き込みアドレス、アドレス変換部 7 の出力が読み出しアドレスとしてそれぞれ選択されるようスイッチ 8-1, 8-2 をそれぞれ A 側に切り替え制御することになる。

なお、この場合も、上述した実施形態と同様の作用効果が得られることはいうまでもない。

・その他

10 上述した実施形態では、インタリーブ・デインタリーブ装置 11（もしくは 11'）がターボ復号器 1 に適用されている場合を例にして説明したが、勿論、インタリーブ・デインタリーブ装置 11（11'）は、ターボ復号器 1 に限らず、インタリーブとそれに応じたデインタリーブとの両方を行なう必要がある箇所であれば同様に適用することができ、この場合も、適用箇所の大幅な小型化を図ることが可能である。

また、上述した実施形態では、インタリーブ及びデインタリーブ対象の入力データ列の個数を、便宜上、384 個（D000～D383）とし、インタリーブ及びデインタリーブ時に用いるランダムパターン情報を $x * 16 \pmod{383}$ （もしくは、 $x * 24 \pmod{383}$ ）としたが、本発明はこれに限定されず、勿論、20 上記以外の個数の入力データ列であっても、上記以外のランダムパターン情報であっても、上述した実施形態と同様の作用効果が得られることはいうまでもない。

さらに、図 1 に示したターボ復号器 1 の構成はあくまでも一例であり、少なくとも図 2（A）～図 2（H）のタイムチャートに示す動作を実現できる構成であれば、どのような構成をとってもよい。

25 また、上述した実施形態では、CDMA を利用した移動体通信システムに本発明が適用されることを例にして説明を行なったが、本発明はこれに限定されず、例えば、FDMA (Frequency Division Multiple Access), TDMA (Time Division Multiple Access) 等の他の方式を利用した多重無線通信システムや、その他の所要の通信システムにも同様に適用され、上述した実施形態と同様の作用効

果が得られる。

そして、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

5 産業上の利用可能性

以上のように、本発明によれば、1つのメモリ部でインタリーバ及びデインタリーバとしての機能を実現することができるので、移動体通信システム等においてインタリーバとデインタリーバとを個別にそなえる必要がなくなるので、インタリーブ及びデインタリーブを行なう通信機器の大幅な小型化、低コスト化が可

10 能になり、その有用性は極めて高いものと考えられる。

請求の範囲

1. 少なくとも、被復号情報(U)と、送信側(300)でのインタリーブ前の該被復号情報(U)についての誤り訂正符号(Y_1)と、該送信側(300)でのインタリーブ後の該被復号情報(U)についての誤り訂正符号(Y_2)とを有するターボ符号を、誤り訂正復号とインタリーブとデインタリーブとを繰り返し施して復号するターボ復号装置(1)であって、

上記の各誤り訂正符号(Y_1 , Y_2)のいずれか一方と過去の誤り訂正復号結果とに基づいて該被復号情報(U)を誤り訂正復号しうる誤り訂正復号部(4)と、
10 該誤り訂正復号部(4)からの誤り訂正復号結果をインタリーブもしくはデインタリーブして該過去の誤り訂正復号結果として該誤り訂正復号部(4)へ出力するためのメモリ部(5)と、

該誤り訂正復号部(4)で用いられる誤り訂正符号(Y_1 , Y_2)に応じて該誤り訂正復号結果をインタリーブもしくはデインタリーブすべく該メモリ部(4)に対する該誤り訂正復号結果の書き込み順及び読み出し順を制御するメモリ制御部
15 (12)とをそなえて構成されたことを特徴とする、ターボ復号装置。

2. 該メモリ制御部(12)が、

該メモリ部(5)用のアドレスを所定の順序で生成する第1のアドレス生成部
20 (6)と、

該第1のアドレス生成部(6)のアドレス生成順序とは異なる順序で該メモリ部用のアドレスを生成する第2のアドレス生成部(7)と、

上記の各アドレス生成部(6, 7)の各出力のうちのいずれか一方を該メモリ部(5)用の書き込みアドレス、他方を該メモリ部(5)用の読み出しアドレス
25 として選択出力しうるアドレス選択部(8-1, 8-2)と、

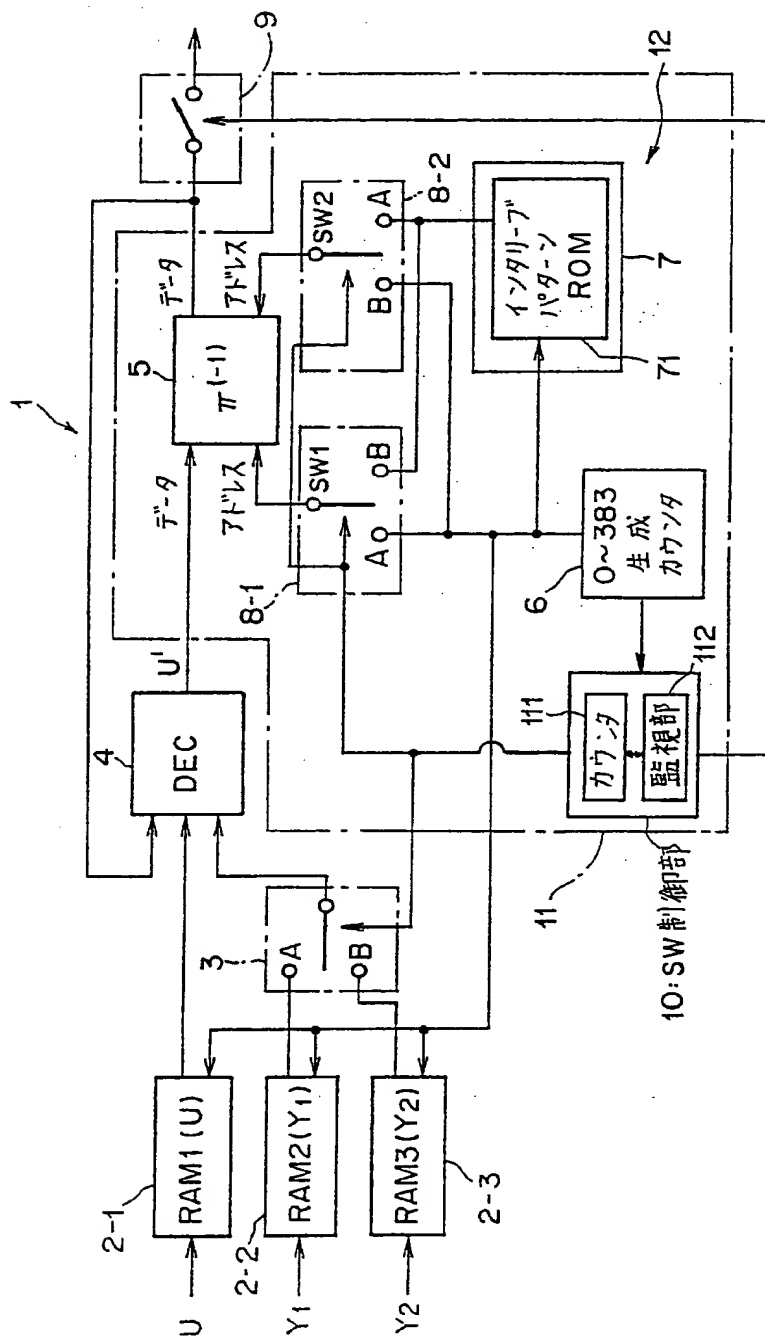
該誤り訂正復号部(4)で用いられる誤り訂正符号が送信側でのインタリーブ前の被復号情報(U)についてのものかインタリーブ後の被復号情報(U)についてのものを判別するインタリーブ判別部(112)と、

該インタリーブ判別部(112)において、該誤り訂正符号がインタリーブ前

- の被復号情報についてのものであると判別されると、一方のアドレス生成部（6又は7）の出力が該書き込みアドレス、他方のアドレス生成部（7又は6）の出力が該読み出しアドレスとしてそれぞれ選択され、該誤り訂正符号がインタリーブ後の被復号情報についてのものであると判別されると、上記他方のアドレス生成部（7又は6）の出力が該書き込みアドレス、上記一方のアドレス生成部（6又は7）の出力が該読み出しアドレスとしてそれぞれ選択されるよう該アドレス選択部を制御するアドレス選択制御部（10）とをそなえていることを特徴とする、請求の範囲第1項記載のターボ復号装置。
- 5
- 10 3. 該第2のアドレス生成部（7）が、
該第1のアドレス生成部（6）で生成されたアドレスをランダムに並び替えて出力するためのランダムパターン情報を保持するランダムパターン保持部（71）をそなえていることを特徴とする、請求の範囲第1項記載のターボ復号装置。
- 15 4. 所望のデータをインタリーブもしくはデインタリーブするために該データを記憶するメモリ部（5）と、
該メモリ部（5）用のアドレスを所定の順序で生成する第1のアドレス生成部（6）と、
該第1のアドレス生成部（6）のアドレス生成順序とは異なる順序で該メモリ部（5）用のアドレスを生成する第2のアドレス生成部（7）と、
20 上記の各アドレス生成部（6，7）の各出力のうちのいずれか一方を該メモリ部（5）用の書き込みアドレス、他方を該メモリ部（5）用の読み出しアドレスとして選択出力するアドレス選択部（8-1，8-2）と、
該データをインタリーブする場合とデインタリーブする場合とで異なるアドレス生成部（6，7）の出力が該書き込みアドレス及び該読み出しアドレスとして
25 選択されるよう該アドレス選択部（8-1，8-2）を制御するアドレス選択制御部（10）とをそなえて構成されたことを特徴とする、インタリーブ・デインタリーブ装置。

5. 該アドレス選択制御部（10）が、
 該データをインタリーブする場合は、該第1のアドレス生成部（6）の出力が
 該書き込みアドレス、該第2のアドレス生成部（7）の出力が該読み出しアドレ
5 スとしてそれぞれ選択され、該データをデインタリーブする場合は、該第2のア
 ドレス生成部（7）の出力が該書き込みアドレス、該第1のアドレス生成部（
 6）の出力が該読み出しアドレスとしてそれぞれ選択されるよう該アドレス選択
 部（8-1, 8-2）を制御するように構成されたことを特徴とする、請求の範
 囲第4項記載のインタリーブ・デインタリーブ装置。
- 10 6. 該アドレス選択制御部（10）が、
 該データをインタリーブする場合は、該第2のアドレス生成部（7）の出力が
 該書き込みアドレス、該第1のアドレス生成部（6）の出力が該読み出しアドレ
 スとしてそれぞれ選択され、該データをデインタリーブする場合は、該第1のア
15 ドレス生成部（6）の出力が該書き込みアドレス、該第2のアドレス生成部（
 7）の出力が該読み出しアドレスとしてそれぞれ選択されるよう該アドレス選択
 部（8-1, 8-2）を制御するように構成されたことを特徴とする、請求の範
 囲第4項記載のインタリーブ・デインタリーブ装置。
- 20 7. 該第2のアドレス生成部（7）が、
 該第1のアドレス生成部（6）で生成されたアドレスをランダムに並び替えて
 出力するためのランダムパターン情報を保持するランダムパターン保持部（7
25 1）をそなえていることを特徴とする、請求の範囲第4項記載のインタリーブ・
 デインタリーブ装置。

図 1



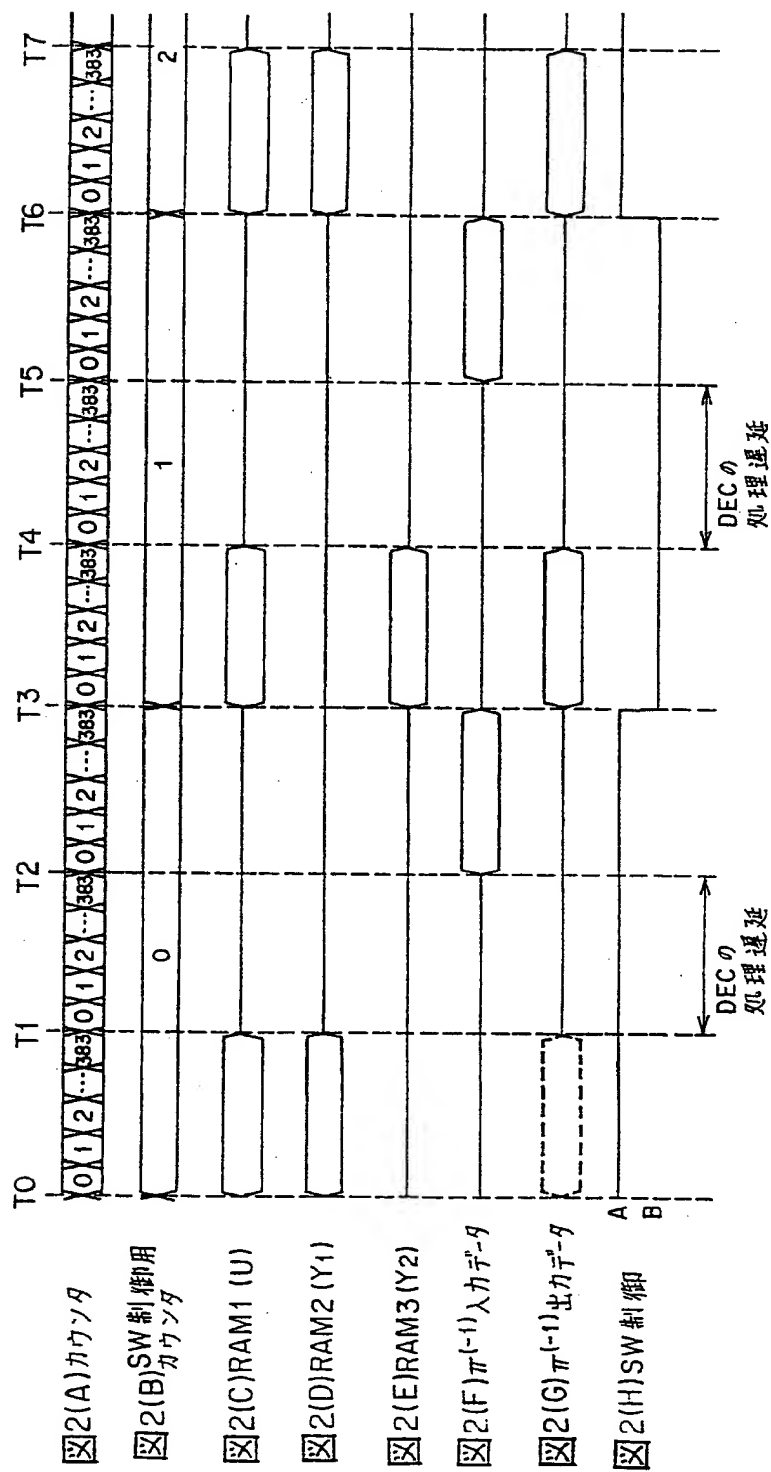
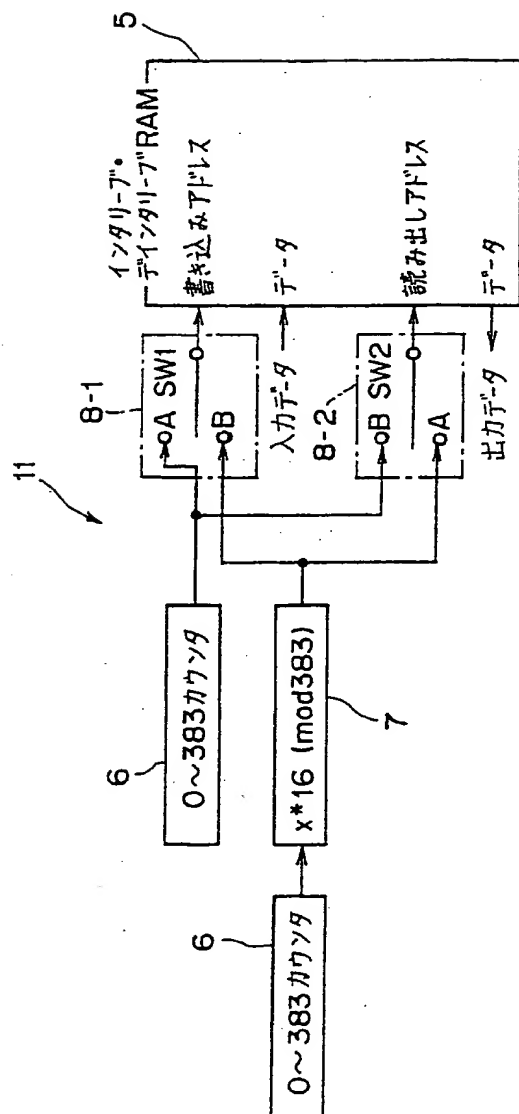


図 3



SW1	SW2
A	A
B	B

インタリ-ブとして使用
デインタリ-ブとして使用

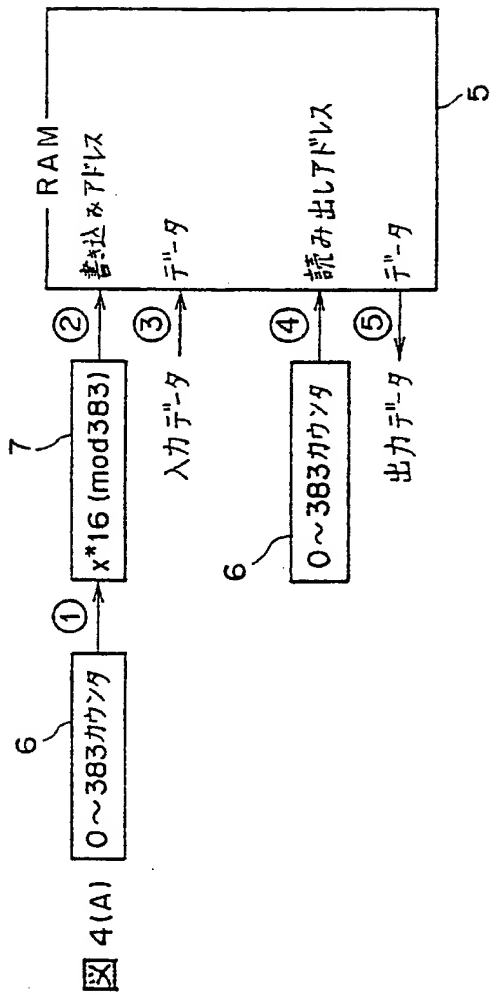


図 4(B)

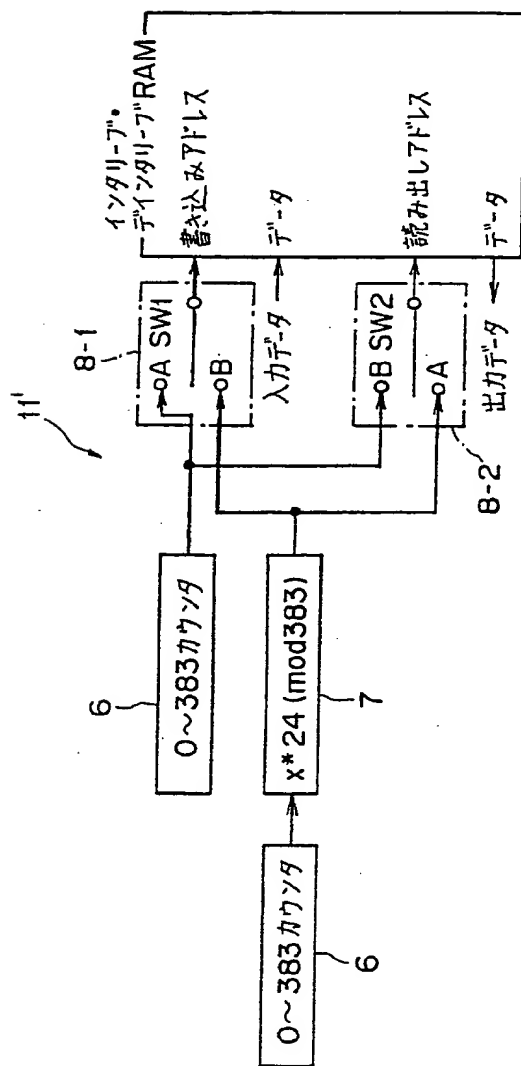
書込	①	000	001	002	...	023	024	025	...	n	...	381	382	383
	②	A000	A016	A032	...	A368	A001	A017	...	$An*16(\text{mod}383)$...	A351	A367	A383
読出	③	D000	D001	D002	...	D023	D024	D025	...	Dn	...	D381	D382	D383
	④	A000	A001	A002	...	A015	A016	A017	...	An	...	A381	A382	A383
	⑤	D000	D024	D048	...	D360	D001	D025	...	$Dn*24(\text{mod}383)$...	D335	D359	D383

図 4(C)

インタリーブ後のデータを入力すると

書込	①	000	001	002	...	023	024	025	...	n	...	381	382	383
	②	A000	A016	A032	...	A368	A001	A017	...	$An*16(\text{mod}383)$...	A351	A367	A383
読出	③	D000	D016	D032	...	D368	D001	D017	...	$Dn*16(\text{mod}383)$...	D351	D367	D383
	④	A000	A001	A002	...	A015	A016	A017	...	An	...	A381	A382	A383
	⑤	D000	D001	D002	...	D015	D016	D017	...	Dn	...	D381	D382	D383

図 5



	SW 1	SW 2
インタリ-ブとして使用	B	B
デインタリ-ブとして使用	A	A

図 6(A)

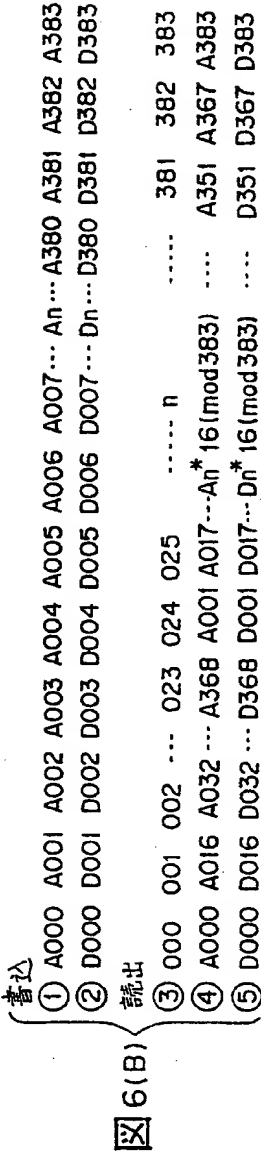
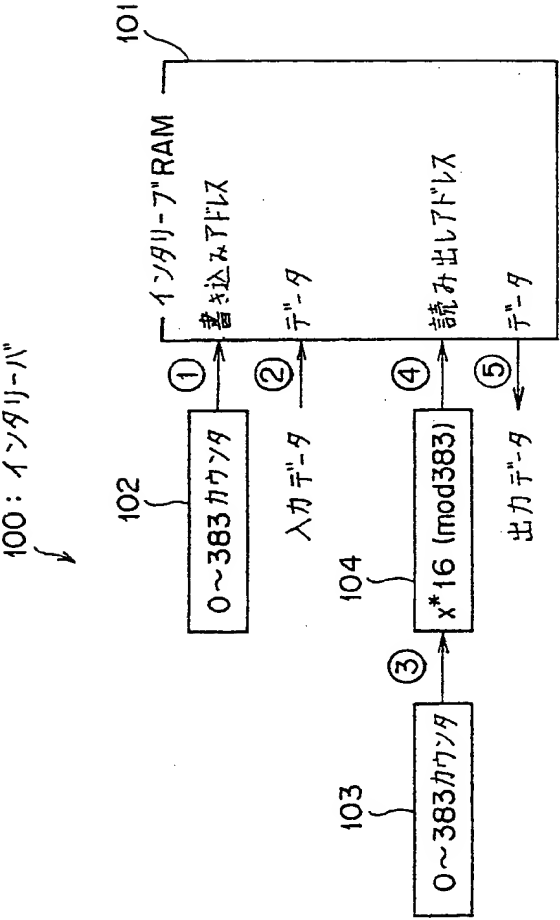
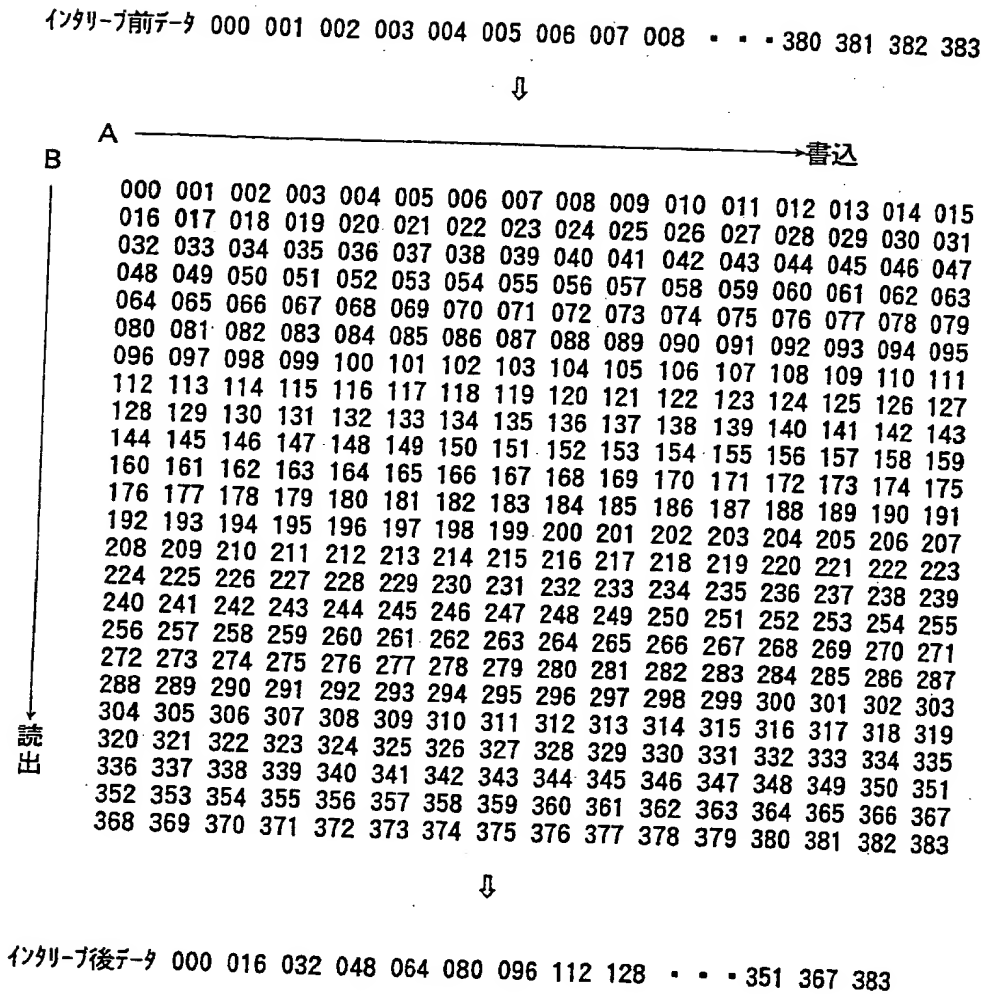
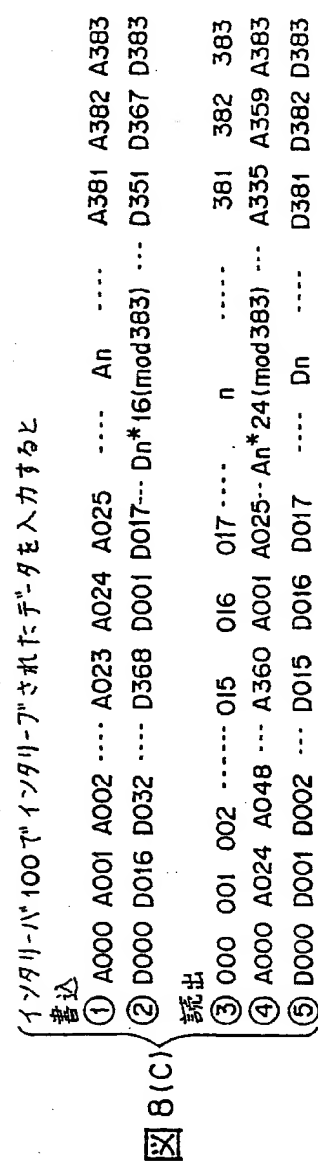
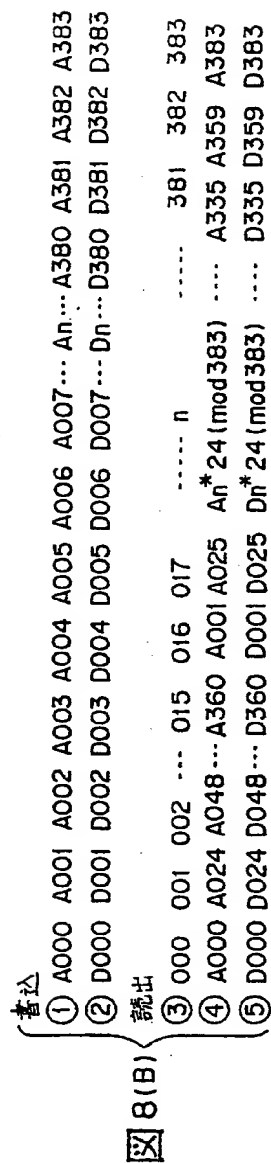
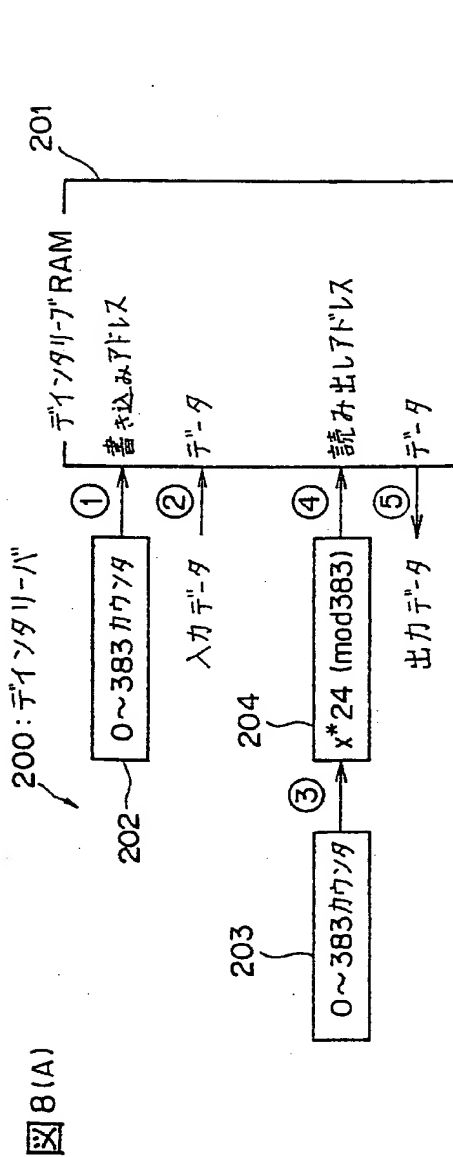


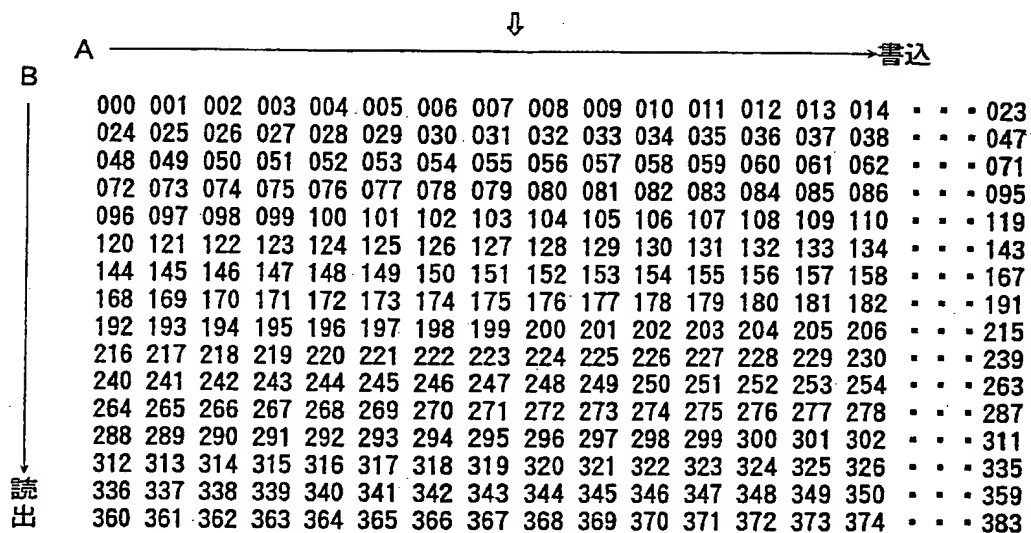
図 7





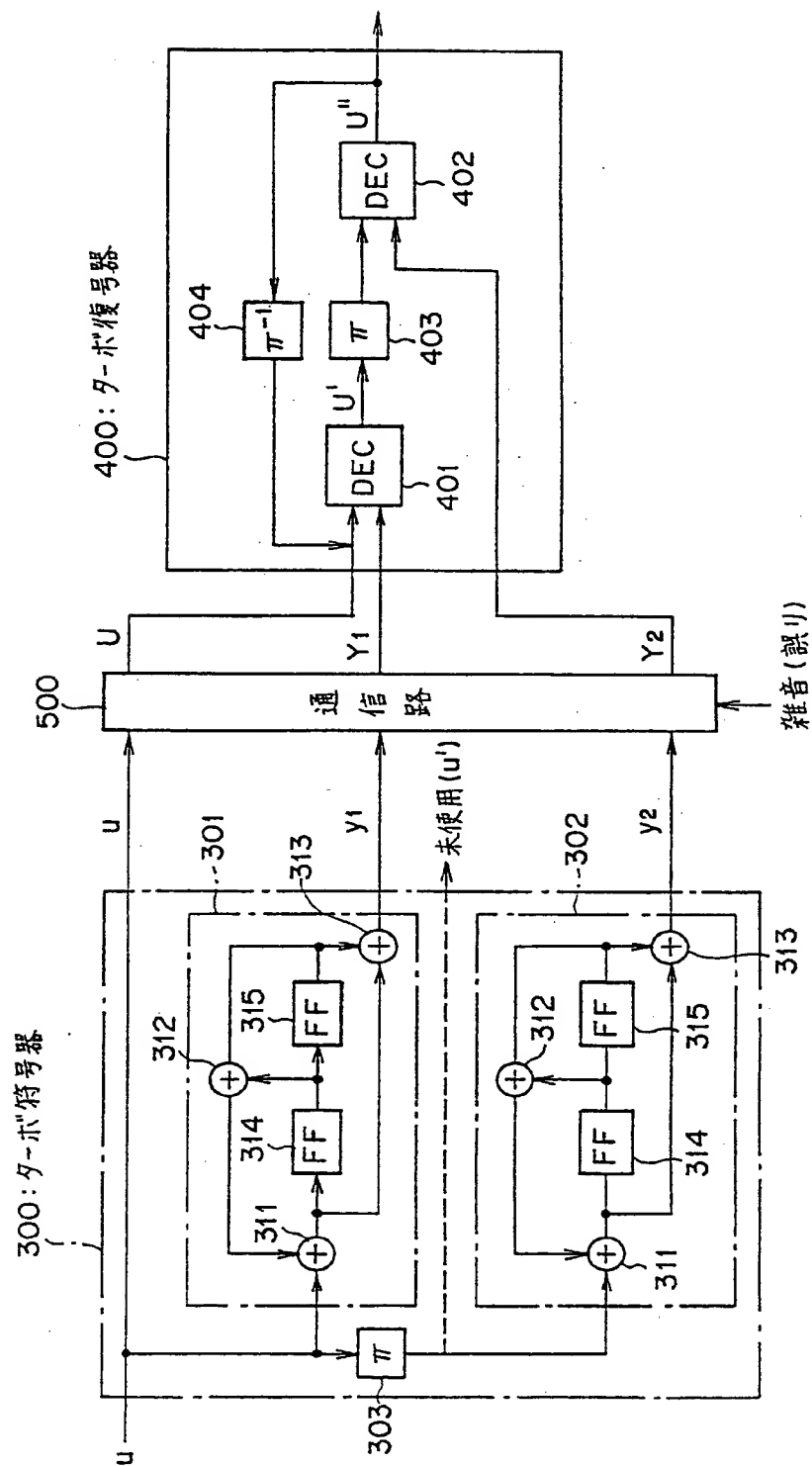


インターフロンター 000 001 002 003 004 005 006 007 008 . . . 380 381 382 383



インタリーブ後データ 000 024 048 072 096 120 144 168 192 . . . 311 335 359 383

図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00934

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁶ H03M13/22, H03M13/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁶ H03M13/00-13/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5737252, A (U.S. Phillips), April 7, 1998 (07. 04. 98), Column 5, lines 24 to 26, 32 to 36 ; column 6, lines 10 to 13 ; column 8, lines 26 to 31 & JP, 09-511606, A	1-7
Y	JP, 07-254862, A (Sony Corp.), 3 October, 1995 (03. 10. 95), Par. Nos. [0078], [0079] (Family: none)	1-7
A	US, 5446747, A (France Telecom), August 29, 1995 (29. 08. 95), Fig. 1 & EP, 511141, A1 & FR, 2675971, A1 & DE, 69215743, E	1-3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
13 May, 1999 (13. 05. 99)

Date of mailing of the international search report
1 June, 1999 (01. 06. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00934

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Small World Communications, "Iterative decoding of parallel concatenated convolutional codes", Version 1.4, 13 Jan. 1999, Australia, pp.1-12, Figure 3, Figure 8 ; page 4, right column, 3rd to 1st line from the bottom ; page 5, right column, lines 29 to 31 ; page 8, right column, line 14 to page 9, right column, line 18	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H03M13/22, H03M13/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H03M13/00-13/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-1998年
 日本国登録実用新案公報 1994-1998年
 日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US, 5737252, A (U.S. Phillips) Apr. 7, 1998 (07.04.98) 第5欄第24~26行, 第5欄第32~36行, 第6欄第10~13行, 第8欄第26~31行。 & JP, 09-511606, A	1-7
Y	JP, 07-254862, A (ソニー株式会社) 3.10月.1995 (03.10.95) 段落【0078】-【0079】 (ファミリーなし)	1-7
A	US, 5446747, A (France Telecom) Aug. 29, 1995 (29.08.95) 第1図。 & EP, 511141, A1 & FR, 2675971, A1 & DE, 69215743, E	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13.05.99

国際調査報告の発送日

01.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

稲葉 和生

印

5 X

8732

電話番号 03-3581-1101 内線 3595

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Small World Communications, "Iterative decoding of parallel concatenated convolutional codes", Version 1.4, 13 Jan. 1999, Australia, pp. 1-12, Figure 3, Figure 8, 第4頁右欄下から第3～1行, 第5頁右欄第29-31行, 第8頁右欄第14-第9頁右欄第18行。	1-7